

公開実用 昭和62-173816

(3)

⑬ 日本国特許庁(JP)

⑭ 実用新案出願公開

⑫ 公開実用新案公報(U) 昭62-173816

⑮ Int. Cl.⁴

H 03 H 7/32

識別記号

庁内整理番号

7210-5J

⑯ 公開 昭和62年(1987)11月5日

審査請求 有 (全 頁)

⑰ 考案の名称 遅延線

⑱ 実 願 昭61-52366

⑲ 出 願 昭61(1986)4月8日

⑳ 考 案 者 鶴 田 賢 一 埼玉県入間郡鶴ヶ島町大字五味ヶ谷18番地 東光株式会社
埼玉薬所内

㉑ 出 願 人 東 光 株 式 会 社 東京都大田区東雪谷2丁目1番17号

明 細 書

1 考案の名称

遅延線

2 実用新案登録請求の範囲

複数の渦巻き状の導体パターンを基板の片側の主表面と該主表面に平行な内面に形成し、その中心部のスルーホールを介して直列接続してあり、他方の主表面にはスルーホールから該中心部への接続部を導出してあり、該接続部によりコンデンサを前記複数の導体パターンに並列接続してあることを特徴とする遅延線。

3 考案の詳細な説明

〔技術分野〕

本考案は、数ナノ秒から数10ナノ秒の短い遅延時間を得るための遅延線の構造に関する。

〔従来技術とその問題点〕

このような短い遅延時間を得るための遅延線は、電子計算機および計測器の分野に用途が広がっている。

しかし、コイルやコンデンサを接続して構成さ

(1)

れる従来の遅延線は、形状が大きくなるし、周波数特性も悪く、高速を必要とするこの種の分野には不向きである。又回路素子間の接続部分が長くなり、回路定数へ影響するので、短い遅延時間を正確に設定することが難しい。

〔目的〕

本考案の目的は、基板に形成する導体パターンによりインダクタンスを得ると共に、基板上のコンデンサをスルーホールによりインダクタンスに接続して正確な遅延時間の得られる遅延線を提供することにある。

〔問題点を解決するための技術手段〕

本考案の遅延線は、複数の渦巻き状の導体パターンを基板の片側の主表面と該主表面に平行な内面に形成し、その中心部のスルーホールを介して直列接続してあり、他方の主表面にはスルーホールから該中心部への接続部を導出してあり、該接続部によりコンデンサを前記複数の導体パターンに並列接続してあることを特徴とする。

〔実施例〕

以下本考案の遅延線の実施例を示す第1図の斜視図と、第2図の分解斜視図を参照しながら説明する。

本考案の第1図の遅延線は、第2図に示すように2枚の誘電体の基板1、基板2を積層することにより構成されている。基板1の主面には3から9までの符号を付与してあるスルーホール、つまり導体を内側に形成してある貫通孔を設けてある。1列に並ぶ3から6までのスルーホールの周囲には、基板1の上面に導体パターン11を夫々形成してある。又導体パターン11の列と対向する位置に、細長くアース用の導体パターン12を形成してある。導体パターン12は、スルーホール8に接続している。そして、夫々の導体パターン11と導体パターン12間に、面接続用のチップ状のコンデンサ10が接続される。積層時に基板1のスルーホールに一致するように、基板2にもスルーホールを設けてあり、位置が一致して1個のスルーホールを形成するものは同一符号を付与してある。



基板 2 の上面には、インダクタンスを得るための 1 3 から 1 6 までの 4 個の渦巻き状の導体パターンを形成してあり、導体パターン 1 4 と導体パターン 1 5 は外側の端で互いに接続している。夫々の導体パターンの渦巻きの中心部には 3 から 6 までのスルーホール、導体パターン 1 3 と導体パターン 1 6 の外側の端にはスルーホール 7 とスルーホール 9 を設けてある。又基板 2 の下面には、透視して基板 2 の下に図示してあるように 1 7 から 2 0 までの導体パターンを形成してある。そして上面の渦巻き状の導体パターンと下面の渦巻き状の導体パターンは中心部のスルーホールで接続し、全体が直列接続する。

このように形成された基板 1 と基板 2 が積層されて、第 1 図の遅延線が構成されるが、誘電体の基板に導体パターンやスルーホールを形成して積層する技術は、ガラスエポキシ樹脂を用いて多層プリント基板を形成する場合の公知の技術を用いればよい。ガラスエポキシ樹脂のかわりに、セラミックやテフロン等の基板を用いることもできる。

基板 1 の上面の 3 から 6 までのスルーホール
の周囲の導体パターン 11 は、基板 2 の渦巻き状の
導体パターンの中心部を導出する接続部の役割を
し、導体パターン 11 に接続するコンデンサ 10
は直列接続する複数の渦巻き状の導体パターンに
並列接続する。

第 3 図は遅延線の回路図であり、渦巻き状の導
体パターンは 13, 17, 18, 14, 15, 19, 20,
16 の順序で直列接続する。そして、導体パター
ンの 13 と 17 間、18 と 14 間、15 と 19 間、
20 と 16 間に夫々コンデンサ 10 が並列接続す
る。スルーホール 7 とスルーホール 9 が、入力端
子と出力端子、スルーホール 8 がアース端子の役
割を行い、L 形の外部端子 21 が挿入して接続さ
れる。入力端子、出力端子、アース端子は、スル
ーホールを用いることなく、基板の側面から導出
する手段もあり、実施例に限定する必要はない。

〔効果〕

以上述べたように本考案の遅延線は、基板の片
側の主表面と該主表面に平行な内面にインダクタ



ンスを得るための渦巻状の導体パターンを形成して直列接続すると共に、スルーホールを他方の主表面まで延在させてコンデンサを並列接続してある。渦巻き状の導体パターンは、2面に形成してあるのでインダクタンスの調節範囲は広い。そして遅延線の回路の接続は、主にスルーホールで行われるので接続部分の回路定数の影響はほとんど除かれて正確な遅延時間の設定が可能になる。回路素子の取付けは、基板の主表面でのコンデンサの接続だけであり、作業が簡単になることにより安価になることは言うまでもない。

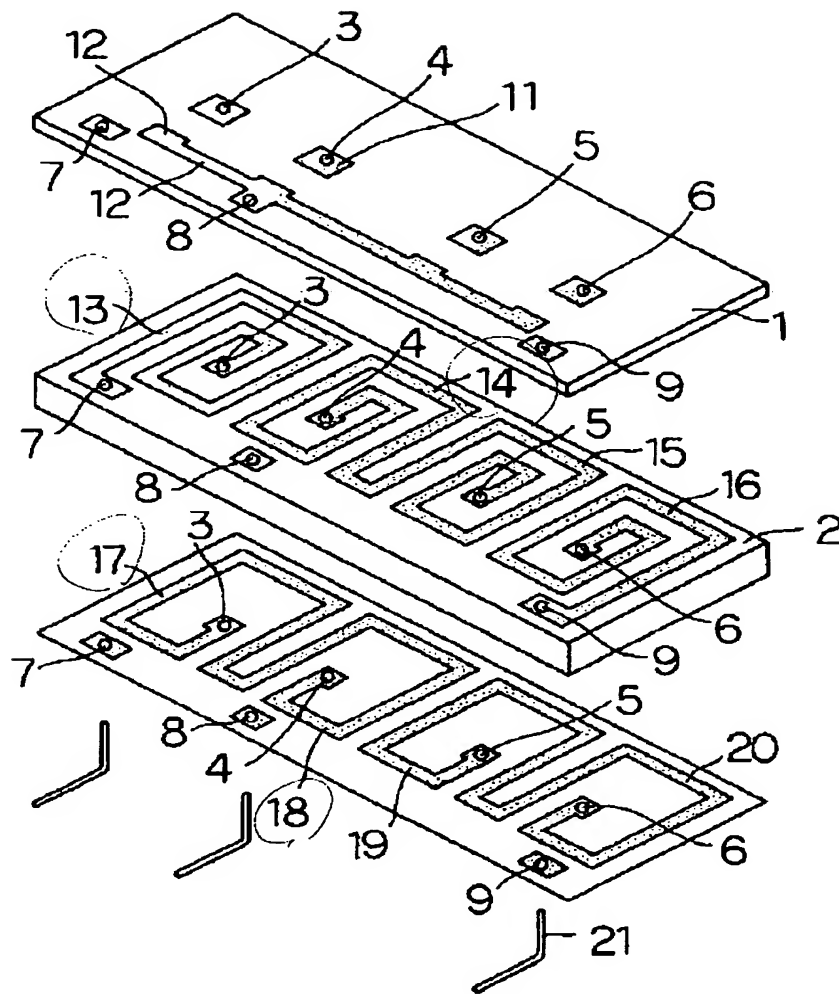
4. 図面の簡単な説明

第1図は、本考案の遅延線の実施例を示す斜視図、第2図は分解斜視図、第3図は回路図である。

1, 2 : 基板, 3乃至9 : スルーホール,
11乃至20 : 導体パターン, 21 : 外部端子,

実用新案登録出願人

東光株式会社



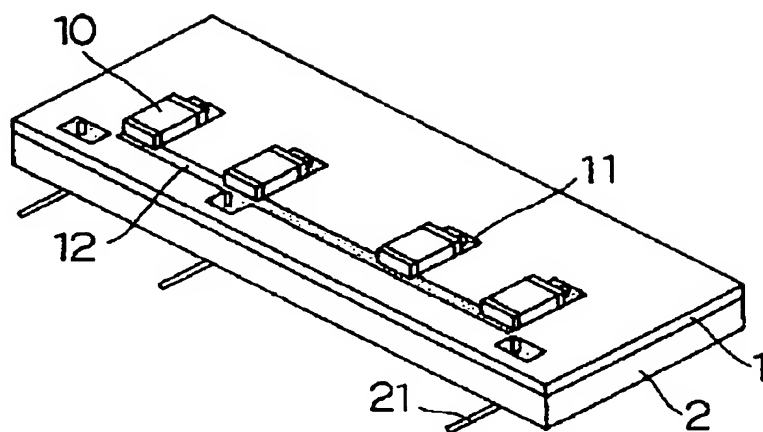
第 2 図

1999

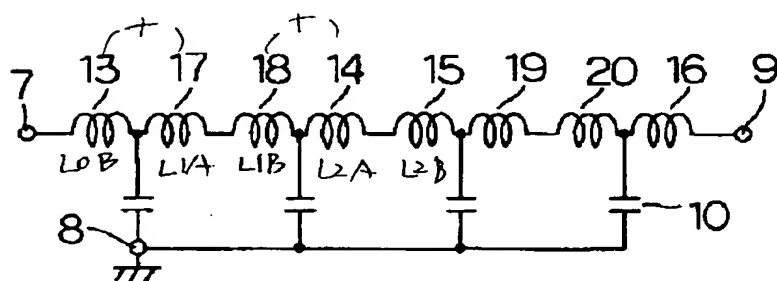
実用新案登録出願人

東 光 株 式 会 社

実開 62-173816



第 1 図



第 3 図

149

實用新案登録出願人

東 光 株 式 會 社
実開 62-173316